

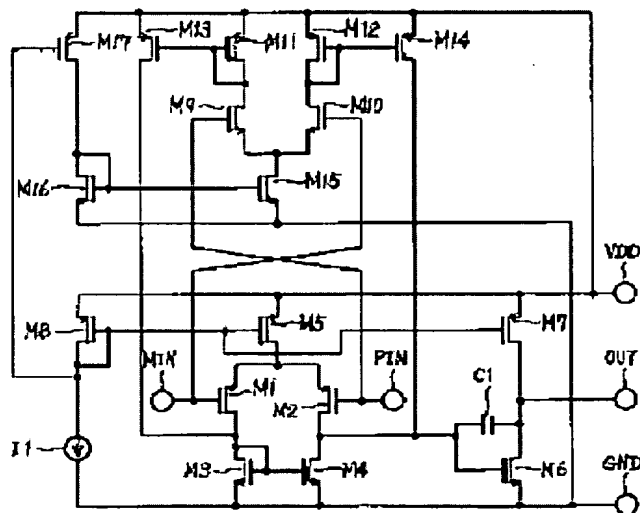
## ARITHMETIC AMPLIFIER CIRCUIT

|                            |                               |
|----------------------------|-------------------------------|
| <b>Patent number:</b>      | JP5063464                     |
| <b>Publication date:</b>   | 1993-03-12                    |
| <b>Inventor:</b>           | HANABUSA HIRONORI; others: 02 |
| <b>Applicant:</b>          | HITACHI LTD; others: 01       |
| <b>Classification:</b>     |                               |
| - international:           | H03F3/45                      |
| - european:                |                               |
| <b>Application number:</b> | JP19910225652 19910905        |
| <b>Priority number(s):</b> |                               |

## Abstract of JP5063464

**PURPOSE:**To provide the arithmetic amplifier circuit with the sufficient in-phase input voltage tolerance even at a low power supply voltage.

**CONSTITUTION:** The arithmetic amplifier is provided with differential pairs consisting of transistors M1 and M2 and an M5 supplying the constant current to the differential pairs. It is also provided with an M15 where source electrodes are connected to the power supply terminal side opposite to the source electrodes of the M5, the differential pairs of M9 and M10 where the constant current is supplied from the M15, the first current mirror circuits M11 and M13 and the second current mirror circuits M12 and M14 adding the output current of the differential pairs M1 and M2 and the output current of the



- differential pairs M9 and M10 to be outputted to the load elements M3 and M4.

---

Data supplied from the **esp@cenet** database - Worldwide



## 【特許請求の範囲】

【請求項1】 端子VDD側（あるいは端子GND側）にソース電極が接続された第1のトランジスタ（M5）と、前記第1のトランジスタのドレイン電極にソース電極が接続されゲート電極が端子P I Nに接続された第2のトランジスタ（M2）と、ソース電極が前記第1のトランジスタのドレイン電極と接続されゲート電極が端子M I Nと接続された第3のトランジスタ（M1）とを具備した演算増幅器回路において、前記第1のトランジスタのソース電極が接続されていた端子VDD（あるいは端子GND）とは正負逆の電源が接続される端子GND側に（あるいは端子VDD側に、あるいは接地端子に）ソース電極が接続された第4のトランジスタ（M15）と、前記第4のトランジスタのドレイン電極にソース電極が接続されゲート電極が端子P I Nに接続された第5のトランジスタ（M9）と、ソース電極が前記第4のトランジスタ（M15）のドレイン電極に接続されゲート電極が端子M I Nと接続された第6のトランジスタ（M10）とを具備し、さらに前記第5のトランジスタ（M9）のドレイン電極が入力に接続され出力が前記第3のトランジスタ（M1）のドレイン電極に接続された第1のカレントミラー回路（M11、M13）と、前記第6のトランジスタ（M10）のドレイン電極が入力に接続され出力が前記第2のトランジスタ（M2）のドレイン電極に接続された第2のカレントミラー回路（M12、M14）とを具備したことを特徴とする演算増幅器回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はCMOS半導体装置に用いて好適な演算増幅器回路に関する。

## 【0002】

【従来の技術】 図3は従来例を示す回路図である。図3において、M3、M4、M6はNMOSTランジスタ（以下、トランジスタと呼ぶ）、M1、M2、M5、M7、M8はPMOSTランジスタ（以下、トランジスタと呼ぶ）、C1はコンデンサ、I1は基準電流源、VDD、GND、P I N、M I N、O U Tは端子である。

【0003】 以下、図3を用いて本従来例の動作を説明する。

【0004】 周知のようにトランジスタM1～M5は差動増幅器を構成する。さらに、M6、M7はソース接地増幅器を構成する。また、コンデンサC1は発振を防止する位相補償容量であり、さらに、基準電流源I1、トランジスタM8は基準電流発生回路を構成する。この結果、本従来回路例は端子M I Nが反転入力端子、端子P I Nが同相入力端子、端子O U Tが出力端子の演算増幅器を構成するのは周知の通りである。

【0005】 なお、本従来例と類似な回路については、例えばP. R. グレイ/R. G. メイヤー共著 永田

譲監訳「アナログ集積回路設計技術（下）」培風館 第315頁から第326頁に記載の演算増幅器等があげられる。

【0006】 いま、本従来例の演算増幅器の同相入力電圧許容範囲を考える。まず、同相入力電圧許容範囲の下限値を考える。端子P I N、端子M I Nが共に端子GNDの電位まで低下した場合、トランジスタM5のドレインーソース間には端子VDDの電位からトランジスタM1、M2のゲートーソース間電圧分低下した電圧が印加される。この結果、トランジスタM5には定電流源動作に十分なドレインーソース間電圧が印加され、トランジスタM1～M5の差動増幅器には動作に十分な電流が供給される。すなわち、本従来例の演算増幅器の同相入力電圧許容範囲の下限値はほぼ端子GNDの電位と等しい電位である。

【0007】 つぎに、同相入力電圧範囲の上限値を考える。端子P I N、端子M I Nが共に端子VDDの電位まで増加した場合、トランジスタM5のドレインーソース間電圧が低下する。この結果、トランジスタM5は飽和動作してしまいトランジスタM1～M5の差動増幅器に流れる電流は著しく減少して本従来例の演算増幅器は誤動作する。すなわち、本従来例の演算増幅器の同相入力電圧許容範囲の上限値はトランジスタM1、M2のゲートーソース間電圧、トランジスタM5のドレインーソース間飽和電圧によって決まる。トランジスタM1、M2のゲートーソース電圧は通常1V程度、トランジスタM5のドレインーソース間飽和電圧は通常0.5V程度であり、本演算増幅器の同相入力電圧許容範囲の上限値は端子VDDの電位から1.5V程度低い電位となる。

## 【0008】

【発明が解決しようとする課題】 近年、各種装置の低消費電力化、半導体プロセスの微細化にともない電源電圧低減が重要な技術課題となっている。例えば、乾電池駆動を行なう装置に用いる信号処理回路等では電源電圧を1.5V以下にする必要がある。

【0009】 このような装置に、図3で示した従来例の演算増幅器を用いた場合を考える。この場合、同相入力電圧許容範囲が不十分であり、信号の電圧振幅を例えば数十mV p p程度に低く抑える必要がある。この結果、信号のS/N比が劣下して装置の性能が著しく低下する。

【0010】 以上の説明から明白であるように、従来の演算増幅器回路は低電源電圧時の動作に十分な配慮がなされておらず、十分な同相入力電圧許容範囲を得ることが困難であった。

【0011】 すなわち、本発明の目的は低電源電圧時においても十分な同相入力電圧許容範囲を得る演算増幅回路を提供することにある。

## 【0012】

【課題を解決するための手段】 上記目的を達成するた

め、端子VDD側（あるいは端子GND側）にソース電極が接続された第1のトランジスタ（M5）と、前記第1のトランジスタのドレイン電極にソース電極が接続されゲート電極が端子PINに接続された第2のトランジスタ（M2）と、ソース電極が前記第1のトランジスタのドレイン電極と接続されゲート電極が端子MINと接続された第3のトランジスタ（M1）とを具備した演算増幅器回路において、端子GND側（あるいは端子VDD側）にソース電極が接続された第4のトランジスタ

（M15）と、前記第4のトランジスタのドレイン電極にソース電極が接続されゲート電極が端子PINに接続された第5のトランジスタ（M9）と、ソース電極が前記第4のトランジスタのドレイン電極と接続されゲート電極が端子MINと接続された第6のトランジスタ（M10）とを具備し、さらに前記第5のトランジスタ（M9）のドレイン電極が入力に接続され出力が前記第3のトランジスタ（M1）のドレインに接続された第1のカレントミラー回路（M11、M13）と、前記第6のトランジスタ（M10）のドレイン電極が入力に接続され出力が前記第2のトランジスタ（M2）のドレイン電極に接続された第2のカレントミラー回路（M12、M14）とを具備する。

#### 【0013】

【作用】端子PIN、端子MINの電位が端子VDDの電位まで増加した場合、前記第1のトランジスタ（M5）はドレイン-ソース間電圧が低下し、飽和動作する。よって、前記第2のトランジスタ（M2）と前記第3のトランジスタ（M1）とで構成する差動対には、電流が供給されない。しかし、このとき前記第4のトランジスタ（M15）のドレイン-ソース間には、定電流を供給するに必要十分な電圧が印加されており、よって前記第5のトランジスタ（M9）と前記第6のトランジスタのトランジスタ（M10）とで構成する差動対には、電流が供給され、端子PIN、端子MINに印加された入力電圧に応じた差動電流が、前記第1のカレントミラー回路（M11、M13）および第2のカレントミラー回路（M12、M14）を介して、前記第2のトランジスタ（M2）および第3のトランジスタ（M1）のドレイン電極にそれぞれ接続され、前記第2のトランジスタ（M2）および第3のトランジスタにそれぞれ接続された負荷素子（M3、M4）に、前記入力電圧に応じた差動電流が供給され、負荷素子（M3、M4）の両端に出力信号を得ることができる。

【0014】反対に、端子PIN、端子MINの電位がGNDの電位まで低下した場合を考える。この場合、前記第5トランジスタ（M9）および第6のトランジスタ（M10）とで構成する差動対には、電流が供給されない。しかし、前記第2のトランジスタ（M2）および第3のトランジスタ（M1）とで構成する差動対には電流が供給される。この結果、負荷素子（M3、M4）には

前記入力電圧に応じた差動電流が供給され、負荷素子（M3、M4）の両端に出力電圧を得ることができる。

【0015】すなわち、本発明によれば演算増幅器の同相入力電圧許容範囲は電源電圧とほぼ等しくなるほどに十分得ることができる。

#### 【0016】

【実施例】図1は、本発明の一実施例を示す回路図である。なお、図1において図3と同一あるいは同一な機能を有するものには同じ符号を付してその詳細な説明は省略する。図1において、M9、M10、M15、M16はNMOSトランジスタ（以下、トランジスタと略す）、M11、M12、M13、M14、M17はPMOSトランジスタ（以下、トランジスタと略す）である。さらに図2は、本実施例の回路における各トランジスタのドレイン電流と、同相入力電圧との関係を示した特性図である。図2において縦軸IDは各トランジスタのドレイン電流、横軸VCMは同相入力電圧である。以下、図1および図2を用いて本実施例の動作を説明する。

【0017】従来例の時と同様に、本実施例の同相入力電圧許容範囲を考える。まず同相入力電圧許容範囲の上限値を考える。端子PINの電位と端子MINの電位が共に端子VDDの電位まで増加した場合、トランジスタM5のドレイン-ソース間電圧が低下し、トランジスタM5が飽和動作した電流の供給が困難となり、トランジスタM1およびトランジスタM2のドレイン電流が低下する。この動作を図2の（a）を用いて説明する。図2（a）中、M1、M2で示したドレイン電流が、トランジスタM1およびトランジスタM2のドレイン電流を示している。トランジスタM1およびトランジスタM2のドレイン電流は、横軸で示した同相入力電圧が増加し、端子VDDの電位からおよそ1.5V低い電位まで達すると低下しはじめ、さらに同相入力電圧が端子VDDの電位まで増加する間に零となってしまう。

【0018】一方この場合、トランジスタM15のドレイン-ソース間には定電流を供給するための必要十分な電圧が印加されており、トランジスタM9およびトランジスタM10には、所定のドレイン電流が供給される。この動作を図2の（a）を用いて説明する。図2（a）中、M9、M10で示したドレイン電流が、トランジスタM9およびトランジスタM10のドレイン電流を示している。トランジスタM9およびトランジスタM10のドレイン電流は、横軸で示した同相入力電圧が端子GNDの電位からおよそ1.5V以上高い電位であれば、所定のドレイン電流が流れる。

【0019】ここで、トランジスタM11およびトランジスタM13は、カレントミラー回路を構成することは周知のとおりである。また、トランジスタM12およびトランジスタM14が、カレントミラー回路を構成することも周知のとおりである。それぞれのカレントミラー

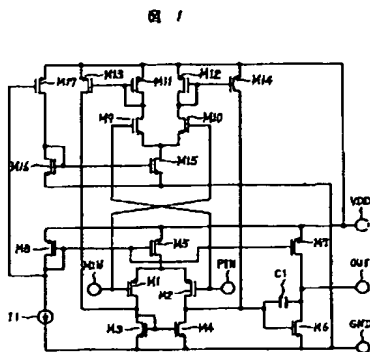
5

回路は、前記トランジスタM9およびトランジスタM10のドレイン電流を入力し、トランジスタM3およびトランジスタM4のドレイン電極に出力する。この動作を図2の(b)を用いて説明する。

【0020】図2(b)のM3、M4は、トランジスタM3およびトランジスタM4のドレイン電流を示している。このトランジスタM3およびトランジスタM4のドレイン電流は、横軸で示した同相入力電圧が端子VDDの電位からおよそ1.5V以上低い電圧で、かつ、端子GNDの電位から1.5V以上高い電圧である場合、トランジスタM1およびトランジスタM2に流れる所定のドレイン電流と、トランジスタM9およびトランジスタM10に流れる所定のドレイン電流との、和電流が流れる。さらに、同相入力電圧が、端子VDDの電位と同電位となった場合においても、トランジスタM3およびトランジスタM4には、トランジスタM9およびトランジスタM10に流れる所定の電流が供給され、この差動増幅器は誤動作することを防止するよう動作する。すなわち、同相入力電圧が端子VDDの電位と同電位であっても、差動増幅器の負荷素子であるトランジスタM3およびトランジスタM4には所定の定電流が供給されるため、差動増幅器は誤動作することがなく、本実施例の演算増幅器の同相入力電圧許容範囲の上限値は、端子VDDの電位とほぼ一致する程度まで十分に得ることができる。

【0021】つぎに、同相入力電圧許容範囲の下限値を

【図1】



6

考える。この場合の動作は、以上説明した同相入力電圧許容範囲の上限値の説明から容易に類推できるため、その詳細な説明は省略する。なすわち、同相入力電圧が端子GNDの電位と同電位となった場合においても、トランジスタM3およびトランジスタM4には所定のドレイン電流が供給されるため誤動作することがなく、本実施例の同相入力電圧許容範囲の下限値は、端子GNDの電位とほぼ一致する程度まで十分得ることができる。

【0022】

10 【発明の効果】本発明によれば演算増幅器の同相入力電圧許容範囲は電源電圧とほぼ等しくなるほどに十分得ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の1実施例を示す回路図である。

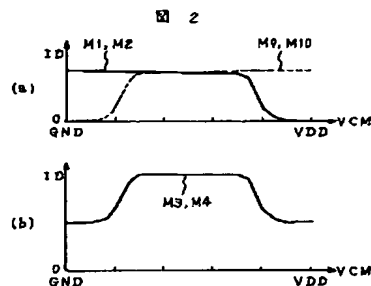
【図2】図1で示した実施例の各トランジスタのドレイン電流対同相入力電圧特性図である。

【図3】本発明の従来例を示す回路図である。

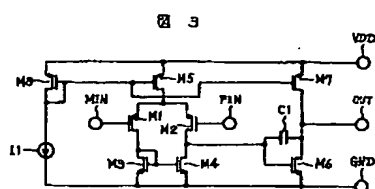
【符号の説明】

M1, M2, M5, M7, M8, M11, M12, M13, M14, M17...PMOSTランジスタ、  
20 M3, M4, M6, M9, M10, M15, M16...NMOSTランジスタ、  
C1...コンデンサ、  
I1...基準電流源、  
PIN, MIN, OUT, VDD, GND...端子。

【図2】



【図3】



フロントページの続き

(72)発明者 常田 勝啓  
神奈川県小田原市国府津2880番地株式会社  
日立製作所小田原工場内